

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-098012

(43)Date of publication of application : 14.04.1998

(51)Int.Cl.

H01L 21/28  
H01L 21/8238  
H01L 27/092

(21)Application number : 08-250363

(71)Applicant : SONY CORP

(22)Date of filing : 20.09.1996

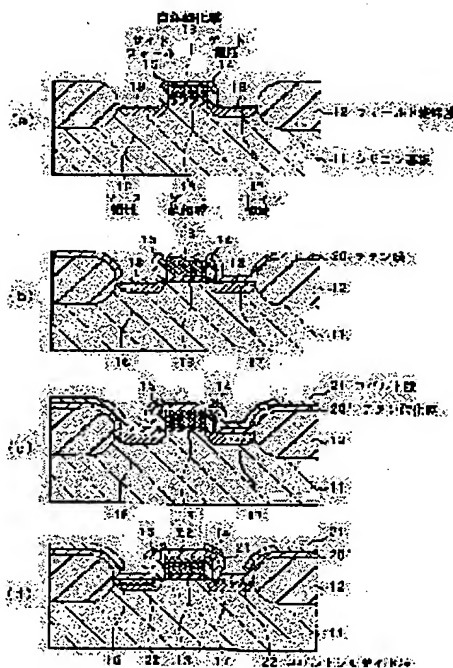
(72)Inventor : SUZUKI SETSUO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a low-resistance silicide film in a salicide structure or the like and to reduce variations in the sheet resistance of the silicide film on a wafer.

**SOLUTION:** A reducing titanium film 20 has been formed previously under a cobalt film 21 as a silicide-forming material. An undercoat of natural oxide film 18 is reduced to silicon by the titanium film 20 and is silicided by the cobalt film 21. Since there is no nonuniformity of thickness in the undercoat of natural oxide film 18, the thickness of the cobalt silicide film becomes uniform. Moreover, since the natural oxide film has been previously reduced, the cobalt silicide film 22 is prevented from taking in an abundance of oxygen, and the resistance of the cobalt silicide film 22 is prevented from becoming high.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 ( J P )

(12) 公開特許公報 ( A )

(11) 特許出願公開番号

特開平10-98012

(43) 公開日 平成10年(1998) 4月14日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/28

21/8238

27/092

識別記号

3 0 1

F I

H 0 1 L 21/28

27/08

3 0 1 T

3 0 1 R

3 2 1 F

審査請求 未請求 請求項の数 7 O L ( 全 9 頁 )

(21) 出願番号

特願平8-250363

(22) 出願日

平成 8 年(1996) 9 月20日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 鈴木 説男

東京都品川区北品川 6 丁目 7 番35号 ソニー株式会社内

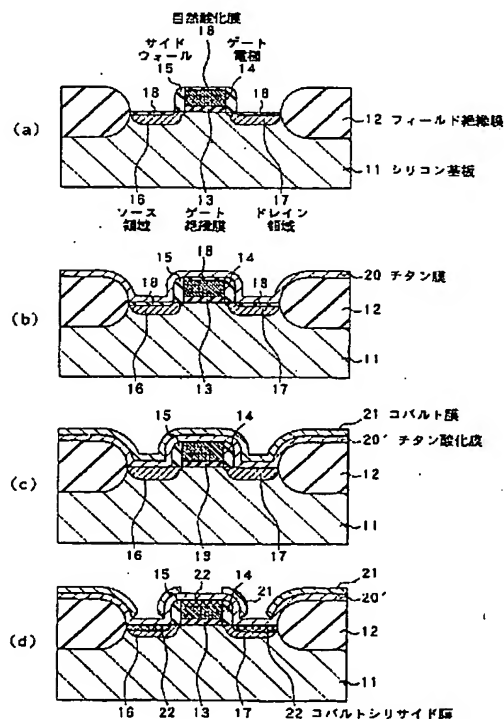
(74) 代理人 弁理士 藤島 洋一郎

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 サリサイド構造等におけるシリサイド膜の低抵抗化を図ると共に、ウェハ上でのシリサイド膜のシート抵抗値のばらつきを少なくする。

【解決手段】 シリサイド形成材としてのコバルト膜 21 の下に予め還元性のチタン膜 20 を形成し、これによって下地の自然酸化膜 18 を還元してシリコンに戻した上でコバルト膜 21 によるシリサイド化を行う。下地に不均一な膜厚の自然酸化膜 18 が存在しないので、コバルトシリサイド膜 22 の膜厚が均一化する。また、予め自然酸化膜を還元することで、コバルトシリサイド膜 22 中に多量の酸素が取り込まれるのを防止できるため、コバルトシリサイド膜 22 の高抵抗化が防止される。



(2)

## 【特許請求の範囲】

【請求項1】 半導体基板上に還元性を有する第1の金属膜を形成し、半導体基板上に形成された自然酸化膜を還元する工程と、

前記第1の金属膜上にシリサイド形成用の第2の金属膜を形成する工程と、

熱処理により前記第2の金属膜と半導体基板とを反応させ、半導体基板の表層部分に薄いシリサイド膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の金属膜はチタン膜であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第2の金属膜はコバルト膜であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記チタン膜の膜厚は20nm以下とすることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項5】 前記コバルト膜の膜厚は10nm以下とすることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項6】 さらに、前記第2の金属膜の形成工程の後、前記熱処理によるシリサイド膜の形成工程の前に、前記第2の金属膜の上に第2の金属膜の自然酸化を防止するための保護膜を形成する工程を行うようにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 前記保護膜はチタン窒化膜からなることを特徴とする請求項6記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体基板の表層部にシリサイド膜を有する半導体装置の製造方法に係り、例えばソース・ドレインのシリサイド化されたMOSFET等の半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 近年の半導体装置においては、素子微細化の進展による装置性能の向上や集積度の向上が著しいが、中でも、0.25～0.35 $\mu$ m以下という微小な設計ルールが適用される高速ロジック素子やマイクロプロセッサにおいては、MOSFET (Metal Oxide Semiconductor - Field Effect Transistor) のソース・ドレインとなる拡散層の抵抗を減少させる必要性が特に大きいため、拡散層をシリサイド (SALICIDE ; Self Aligned Silicide ; 自己整合的シリサイド) 化して低抵抗化を図る技術が行われている。このシリサイド技術とは、一般に、シリコン基板上に形成した拡散層の表層部分を、ゲート電極やフィールド酸化膜 (素子分離膜) と自己整合的にシリサイド化 (チタン等の金属とシリコンとの化合物化) し、層間絶縁膜上に形成した配線層とのコンタクト抵抗を低減させようとする技術である。

【0003】 ところで、素子微細化の流れの中でゲート

長の縮小が進展すると、拡散層の接合面深さ (シリサイドと拡散層との境界面から拡散層と基板との接合面までの距離) が相対的に深くなる。この結果、ショートチャネル効果により横方向 (ソース・ドレイン間) のリーク電流が大きくなり、素子特性の劣化の要因となる。したがって、ゲート長を小さくする場合には、拡散層の接合面深さも浅く (シャロウ・ジャンクション化) する必要がある。

【0004】 このような事情から、拡散層をシリサイド化するにはシリサイド膜をできるだけ薄く形成して拡散層の接合面深さを確保することが望ましい。しかしながら、例えばチタンを用いて薄いシリサイド層  $TiSi_2$  を形成した場合には、薄膜化に伴って細線効果 (線幅が細くなるにつれてシート抵抗が増大すること) が著しくなり、その結果、ゲート遅延時間が増大しMOSFETの動作周波数の向上が困難となる。

【0005】 そこで、最近ではシリサイド膜の形成にコバルト (Co) を用いる技術が検討されている。このコバルトを用いてシリサイド膜を形成した場合には、細線効果によるシート抵抗の増大がなく、上記の問題に対処することができる。ところが、コバルトをシリサイド化の材料として使用する場合には、次のような問題があった。以下、図面を参照してその問題点を説明する。

【0006】 図3はソース・ドレインをシリサイド化して構成したMOSFETの従来の製造方法を表すものである。まず、図3(a)に示したように、シリコン基板111上に、通常のLOCOS (Local Oxidation of Silicon) プロセスにより、素子分離用のフィールド絶縁膜112を選択的に形成してMOSFET形成領域を画定した後、このMOSFET形成領域にゲート絶縁膜113を介して多結晶シリコン等からなるゲート電極114を選択的に形成する。次に、LDD (Lightly Doped Drain) 構造形成のために、活性領域 (シリコン基板111表層のソース・ドレイン領域となる領域) に不純物をイオン注入して低濃度不純物拡散層を形成した後、LDD構造形成に必要なサイドウォール115をゲート電極114の側面に形成し、さらに、上記低濃度不純物拡散層に不純物を選択的にイオン注入して高濃度不純物拡散層としてのソース領域116およびドレイン領域117を形成する。この状態では、既にソース領域116、ドレイン領域117およびゲート電極114の表面に自然酸化膜 ( $SiO_2$ ) 118が形成されている。

【0007】 ここで、次のシリサイド膜形成工程の前処理としての基板洗浄を行い、ソース領域116、ドレイン領域117およびゲート電極114の表面に形成された自然酸化膜118を除去する。ところが、この洗浄によって自然酸化膜は薄くはなるものの、實際上完全には除去できずに残存し、あるいは洗浄後に再び自然酸化膜が形成されることもある。このため、図3(b)に示したように、シリサイド形成用としてのコバルト膜121

(3)

を全面に形成した後においても、コバルト膜121の下地のシリコン表面（ソース領域116、ドレイン領域117）およびゲート電極114の表面に、図3（b）に示したような自然酸化膜118'が存在することとなる。

【0008】次に、図3（c）に示したように、いわゆるRTA（Rapid Thermal Annealing）処理を行うことにより、ゲート電極114、ソース領域116およびドレイン領域117におけるシリコンとコバルト膜121とを反応させ、シリサイド膜122を形成する。このとき、シリコン酸化膜とコバルトとは反応しにくいいため、フィールド絶縁膜112およびサイドウォール115上にはシリサイド膜は形成されない。

【0009】次に、図3（d）に示したように、フィールド絶縁膜112およびサイドウォール115上の未反応のコバルト膜121を選択的エッチングによって除去した後、さらに、シリサイド膜122の低抵抗化のため、第2回目のRTA処理を行う。これにより、ゲート電極114、ソース領域116およびドレイン領域117上のみ自己整合的にシリサイド膜122が形成されたサリサイド構造のMOSFETが形成される。

【0010】

【発明が解決しようとする課題】しかしながら、上記図3（a）で説明したように、基板洗浄後においてもゲート電極114、ソース領域116およびドレイン領域117上には薄い自然酸化膜118'が存在しているため、その上にコバルト膜121を形成してサリサイド化しようとした場合には、ウェハ内にシリサイド化の進行の程度に不均一性が生ずる。これは、上記のようにシリサイド反応はシリコン酸化膜上では起こりにくく、しかも自然酸化膜118'の膜厚は均一でないからである。例えば図4に示したように、自然酸化膜118に部分的に極端に薄い部分やピンホールが存在すると、そのような部分ではソース領域116（またはドレイン領域117）の表層部分でシリサイド化が大きく進行してシリサイド化領域123が拡大し、シリサイド膜厚が厚くなる一方、そうでない部分ではシリサイド化が進まず、シリサイド膜厚が薄くなる。

【0011】以上のような理由から、シリサイド膜122の膜厚は不均一となり、しかも、形成されたシリサイド膜中には大量の酸素が含まれることとなるため、全体としてシリサイド膜122が高抵抗化すると共に、ウェハ上でのシリサイド膜のシート抵抗値が大きくなることにもなる。このような現象は、コバルト膜121が薄い程顕著になり、今後の高集積デバイスにおいては益々大きな問題となる可能性がある。

【0012】本発明はかかる問題点を鑑みてなされたもので、その目的は、サリサイド構造等におけるシリサイド膜の低抵抗化を図ると共に、ウェハ上でのシリサイド膜のシート抵抗値のばらつきを少なくすることができる

半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、半導体基板上に還元性を有する第1の金属膜を形成し、半導体基板上に形成された自然酸化膜を還元する工程と、第1の金属膜上にシリサイド形成用の第2の金属膜を形成する工程と、熱処理により第2の金属膜と半導体基板とを反応させ、半導体基板の表層部分に薄いシリサイド膜を形成する工程とを含むものである。第1の金属膜としては例えばチタン膜を用い、その膜厚は例えば20nm以下とするのが望ましい。また、第2の金属膜としてはコバルト膜を用い、その膜厚は例えば10nm以下とするのが望ましい。

【0014】また、本発明に係る他の半導体装置の製造方法は、更に、第2の金属膜の形成工程の後、熱処理によるシリサイド膜の形成工程の前に、第2の金属膜の上に第2の金属膜の自然酸化を防止するための保護膜を形成する工程を行うようにしたものである。保護膜としては例えばチタン窒化膜が用いられる。

【0015】本発明による半導体装置の製造方法では、第2の金属膜の下に予め形成した還元性の第1の金属膜によって下地の自然酸化膜が還元され、しかるのちシリサイド膜が形成される。このため、不均一な膜厚の自然酸化膜の存在によってシリサイド膜厚までもが不均一化するという不都合を回避でき、また、シリサイド膜中に多量の酸素が取り込まれるのを防止できる。

【0016】また、本発明による他の半導体装置の製造方法では、第2の金属膜上に保護膜を形成した上で熱処理をしてシリサイド形成を行うので、第2の金属膜の酸化が防止され、シリサイド膜中に酸素が取り込まれることを確実に阻止できる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0018】図1は本発明の一実施の形態に係る半導体装置の製造方法を表すものである。本実施の形態では、ソース・ドレインをサリサイド化して構成したnチャネル型のMOSFETの製造に適用する場合について説明する。

【0019】まず、図1（a）に示したように、通常のLOCOSプロセスにより、p型のシリコン基板11上に素子分離用のフィールド絶縁膜12を選択的に形成してMOSFET形成領域を画定した後、熱酸化法等により、このMOSFET形成領域のシリコン基板11の表面を酸化し、ゲート絶縁膜13を形成する。次に、減圧CVD法等を用いて、多結晶シリコン（ポリシリコン）膜からなるゲート電極層を形成する。なお、ゲート電極層は、多結晶シリコン上にWSi<sub>x</sub>（タングステンシリサイド）層を積層したポリサイド構造としてもよい。

【0020】次に、全面にフォトリソ膜（図示せ

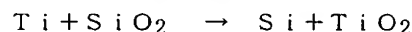
(4)

ず)を形成してフォトリソグラフィ工程によりパターンニングし、このフォトリソ膜をエッチングマスクとして、ゲート電極層を選択的にエッチング加工し、ゲート電極14を形成する。次に、LDD構造形成のために、活性領域(シリコン基板11表層のソース・ドレイン領域となる領域)に $n^-$ 不純物をイオン注入して低濃度の $n^-$ 不純物拡散層を形成した後、絶縁膜の形成およびその異方性エッチングにより、LDD構造形成に必要なサイドウォール15をゲート電極14の側面に形成し、さらに、上記の $n^-$ 不純物拡散層に $n^+$ 不純物を選択的にイオン注入して高濃度の $n^+$ 不純物拡散層としてのソース領域16およびドレイン領域17を形成する。

【0021】この状態では、ソース領域16、ドレイン領域17およびゲート電極14の表面に既に自然酸化膜( $SiO_2$ )18が形成されているため、次に、その除去のための基板洗浄を行う。但し、この洗浄によって自然酸化膜は薄くはなるものの、實際上完全には除去できずに残存し、あるいは洗浄後に再び自然酸化膜が形成される。

【0022】次に、図1(b)に示したように、スパッタリングにより、全面に還元性の金属であるチタン(Ti)膜20を10nm程度の膜厚に形成する。この場合のスパッタ条件は、例えば出力3kW、圧力2mTorr、温度150°Cとする。さらに、図1(c)に示したように、チタン膜20形成に続いて直ちにシリサイド形成用としてのコバルト膜21を全面に5nm程度の膜厚に形成する。この場合のスパッタ条件は、例えば出力0.8kW、圧力2mTorr、温度150°Cとする。

【0023】チタン膜20を形成すると、次の反応により自然酸化膜18はシリコン(Si)へと還元されて、図1(c)に示したように自然酸化膜18は消失し、代わりにチタン膜20が酸化されてチタン酸化膜( $TiO_2$ )20'が生成される。



もちろん、この反応は、フィールド絶縁膜12およびサイドウォール15上でも起こるので、結局、チタン酸化膜20'は全面に生成されることになる。

【0024】次に、図1(d)に示したように、1回目のRTA処理を行うことにより、ゲート電極14、ソース領域16およびドレイン領域17におけるシリコンとコバルト膜21とを反応させ、コバルトシリサイド膜22を形成する。この場合のRTA処理は、例えば、窒素100%の雰囲気中で、温度550°C、時間30秒という条件で行う。このとき、シリコン酸化膜とコバルトとは反応しにくいので、フィールド絶縁膜12およびサイドウォール15上にはコバルトシリサイド膜は形成されず、未反応のコバルト膜21が残存する。

【0025】次に、図示しないが、フィールド絶縁膜12およびサイドウォール15上の未反応のコバルト膜2

1とチタン酸化膜20'とを選択的エッチングによって除去する。このときのエッチングは、例えば、 $H_2SO_4$ (硫酸)と $H_2O_2$ (過酸化水素水)とを4対1の割合で混合した硫酸過水を用い、ウェットエッチングにより行うものとし、例えば温度90°C、時間10分程度という条件とする。次に、コバルトシリサイド膜22の低抵抗化のため、第2回目のRTA処理を行う。この場合のRTA処理は、例えば、窒素100%の雰囲気中で、温度700°C、時間30秒という条件で行う。

【0026】このようにして、ゲート電極14、ソース領域16およびドレイン領域17にのみ自己整合的にコバルトシリサイド膜22が形成されたシリサイド構造のnチャネルMOSFETが形成される。なお、その後、図示しないが、層間絶縁膜、配線層および基板配線間コンタクト等を形成したのち、保護膜を形成して全工程を完了する。

【0027】上記のように(図1(a))、基板洗浄後においてもゲート電極14、ソース領域16およびドレイン領域17上にはシリサイド化に障害となる薄い自然酸化膜18が存在しているが、本実施の形態では、その上に還元性のあるチタン膜20を形成して自然酸化膜18を還元してシリコンに戻した上でコバルト膜21のシリサイド化反応を行うようにしているので、従来のように不均一な膜厚の自然酸化膜の存在によってウェハ内でシリサイド化の進行程度に不均一性が生じてしまうということがない。また、コバルトシリサイド膜22の生成時に多量の酸素が膜中に取り込まれることもなく、シリサイド膜の高抵抗化が防止される。

【0028】次に、本発明の他の実施の形態を説明する。

【0029】図2は本発明の他の実施の形態に係る半導体装置の製造方法を表すものである。本実施の形態では、チタン膜20の形成までの工程(図2(a))、

(b))は上記実施の形態(図1(a))、(b))と同じなので、説明を省略する。

【0030】本実施の形態では、図2(c)に示したように、チタン膜20の形成に続いて直ちにシリサイド形成用としてのコバルト膜21を全面に5nm程度の膜厚に形成した後、さらに、その上にキャップメタル(保護膜)としてチタン窒化膜( $TiN$ 膜)24を形成する。このチタン窒化膜24は、その後のRTA処理工程においてコバルト膜21が酸化されるのを防止するためのものである。ここで、コバルト膜21の形成時のスパッタ条件は上記実施の形態と同じである。また、チタン窒化膜24の形成時のスパッタは、例えば出力6.5kW、圧力4.5mTorr、温度150°Cという条件下で、窒素を135sccm程度、アルゴンを15sccm程度導入して行う。

【0031】その後の工程および作用は、上記の実施の形態の場合と同様である。すなわち、チタン膜20を形

(5)

成すると、自然酸化膜18はシリコンへと還元されて、図2(c)に示したように自然酸化膜18はシリコンに戻り、代わりにチタン酸化膜20'が生成される。

【0032】次に、図2(d)に示したように、RTA処理を行うことにより、ゲート電極14、ソース領域16およびドレイン領域17におけるシリコンとコバルト膜21とを反応させ、コバルトシリサイド膜22を形成する。この場合のRTA処理の条件も、上記の実施の形態の場合と同様である。このとき、シリコン酸化膜とコバルトとは反応しにくいので、フィールド絶縁膜12およびサイドウォール15上にはコバルトシリサイド膜は形成されず、未反応のコバルト膜21が残存する。

【0033】次に、図示しないが、チタン窒化膜24と、フィールド絶縁膜12およびサイドウォール15上の未反応のコバルト膜21と、チタン酸化膜20'とを順次選択的エッチングによって除去する。このときのチタン窒化膜24のエッチングには、例えば、 $\text{NH}_3$ （アンモニア）と $\text{H}_2\text{O}_2$ （過酸化水素水）とを4対1の割合で混合したアンモニア過水を用い、未反応のコバルト膜21のエッチングには、上記の実施の形態の場合と同様に硫酸過水を用いる。なお、アンモニア過水によるエッチングの際には、チタン窒化膜24のほか、ソース・ドレイン領域のチタン酸化膜20'も除去されるが、フィールド絶縁膜12およびサイドウォール15上には未反応のコバルト膜21が存在するため、これらの領域のコバルト膜21の下層のチタン酸化膜20'はアンモニア過水では除去されず、硫酸過水によるエッチングにより除去される。

【0034】次に、コバルトシリサイド膜22の低抵抗化のため、第2回目のRTA処理を行う。この場合のRTA処理は、上記実施の形態における第2回目のRTA処理の実施の形態と同様である。

【0035】このようにして、ゲート電極14、ソース領域16およびドレイン領域17にのみ自己整合的にコバルトシリサイド膜22が形成されたシリサイド構造のnチャネルMOSFETが形成される。なお、その後、図示しないが、層間絶縁膜、配線層および基板配線間コンタクト等を形成したのち、保護膜を形成して全工程を完了する。

【0036】上記のように、本実施の形態においても、チタン膜20を形成して自然酸化膜18を還元して消滅させた上でコバルト膜21のシリサイド化反応を行うようにしているので、均一な膜厚分布のコバルトシリサイド膜を形成することができる。しかも、本実施の形態では、コバルト膜21の上に酸化保護膜としてのチタン窒化膜24を形成した状態で第1回目のRTA処理を行うようにしたので、コバルトシリサイド膜22の生成時に多量の酸素が膜中に取り込まれるのを確実に回避でき、シリサイド膜の高抵抗化の防止に一層の効果がある。

【0037】図5および図6は、従来方法および本発明

による方法によってコバルトシリサイド膜を形成した場合における8インチウェハ上でのシリサイド膜厚分布の均一性を比較したものである。

【0038】このうち、図5(a)は、コバルト膜21を $150^\circ\text{C}$ でスパッタした場合において、シンター処理（第1回目のRTA処理）を行う前のコバルトシリサイド膜22の膜厚分布の均一性を表し、図5(b)は、 $450^\circ\text{C}$ でスパッタした場合において、シンター処理を行う前のコバルトシリサイド膜22の膜厚分布の均一性を表すものである。これらの図で、横軸は形成したコバルト膜21の膜厚を表し、縦軸は各コバルト膜厚に対するウェハ内でのコバルトシリサイド膜22の膜厚分布の均一性を表す。また、■印はコバルト膜21のみ形成した場合（従来法）の結果を示し、▲印はコバルト膜21下にチタン膜20を形成した場合（図1の方法）の結果を示し、◆印はコバルト膜21下にチタン膜20を形成すると共にコバルト膜21上にキャップメタルとしてのチタン窒化膜24を形成した場合（図2の方法）の結果を示す。なお、●印は参考データとして、コバルト膜下にはチタン膜を形成せずコバルト膜上にキャップメタルとしてのチタン窒化膜を形成した場合の結果を示す。

【0039】一方、図6(a)および(b)は、図5(a)、(b)にそれぞれ対応したもので、それぞれのシンター処理後におけるコバルトシリサイド膜22の膜厚分布の均一性を表すものである。なお、縦軸、横軸、および各印(■, ▲, ◆, ●印)の意味するところは図5の場合と同様である。

【0040】図5から明らかなように、シンター処理前は、 $150^\circ\text{C}$ スパッタの場合には各方法ともコバルトシリサイド膜22の膜厚分布の均一性に大差はなく、また、 $450^\circ\text{C}$ スパッタの場合にはコバルト膜単層による方法やコバルト膜にチタン窒化膜を付けた方法の方が却って膜厚分布の均一性が良好である。これに対して、シンター処理後は、図6から明らかなように、 $150^\circ\text{C}$ スパッタおよび $450^\circ\text{C}$ スパッタのいずれの場合においても、コバルト膜下にチタン膜を形成する方法（図1）や、コバルト膜下にチタン膜を形成すると共にコバルト膜上にチタン窒化膜を形成する方法（図2）による方が膜厚分布の均一性は格段に良好である。特に、図6(a)に示したように、 $150^\circ\text{C}$ スパッタの場合において、コバルト膜下にチタン膜を形成すると共にコバルト膜上にチタン窒化膜を形成する方法（図2）を用いれば、10%以下という均一な膜厚分布特性が得られ、中でも、コバルト膜21の膜厚を10nm以下とした場合には、膜厚分布の均一性は5%以下となる。また、図6(b)に示したように、 $450^\circ\text{C}$ スパッタの場合においても、コバルト膜21の膜厚を10nm以下とすれば、図1、図2のいずれの方法でも、10%以下という均一な膜厚分布特性が得られる。

【0041】以上、実施の形態を挙げて本発明を説明し

(6)

たが、本発明はこの実施の形態に限定されるものではなく、その均等の範囲で種々変形可能である。例えば、上記の各実施の形態では、チタン膜20の膜厚を10nm程度としたが、この膜厚は20nmを上限として変更可能である。また、コバルト膜21の膜厚を5nmとしたが、この膜厚は10nmを上限として変更可能である。

【0042】また、上記の各実施の形態ではnチャネル型のMOSFETについて説明したが、pチャネル型のMOSFETやCMOS（相補型MOS）FETにも適用できるのはもちろんであり、さらに、一般に、MIS（Metal Insulator Semiconductor）型構造のデバイスにも適用可能である。

【0043】また、上記の各実施の形態では、シリサイド構造を有するデバイスの製造に適用するものとしたが、本発明は必ずしもシリサイド構造には限定されず、一般的にシャロウジャンクション化の進んだデバイスにおいてシリコン基板上にシリサイド膜を形成する場合にも適用できる。

【0044】

【発明の効果】以上説明したように、請求項1ないし請求項5のいずれか1に記載の半導体装置の製造方法によれば、シリサイド形成材としての第2の金属膜の下に予め還元性の第1の金属膜を形成し、これによって下地の自然酸化膜を還元した上で第2の金属膜によるシリサイド化を行うようにしたので、不均一な膜厚の自然酸化膜の存在によってシリサイド膜厚までもが不均一化するという不都合を回避できる。特に、第1の金属膜としてチタン膜を用い、第2の金属膜として細線効果のないコバルト膜を用いた場合には、コバルト膜の膜厚を10nm以下とすることにより、シリサイド膜のシート抵抗を小さくできると共に、ウェハ内におけるシリサイド膜厚を十分均一化できる。すなわち、ウェハ内でのシリサイド膜のシート抵抗のばらつきを小さくできる。また、予め自然酸化膜を還元することで、シリサイド膜中に多量の

酸素が取り込まれるのを防止できるため、この点でもシリサイド膜の低抵抗化を図ることができる。したがって、今後、ソース・ドレインをシリサイド化したMOSFETのシャロウ・ジャンクション化が進んでも、これに対応してシリサイド膜を薄く均一に形成することができ、コンタクト抵抗の低減等を図る上で極めて有効である。

【0045】また、請求項6記載の半導体装置の製造方法によれば、さらに、第2の金属膜の形成後、熱処理によるシリサイド膜の形成前に、第2の金属膜上に保護膜を形成するようにしたので、第2の金属膜の酸化を防止し、シリサイド膜中に酸素が取り込まれるのを確実に阻止できる。このため、シリサイド膜の低抵抗化を図る上で一層の効果がある。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る半導体装置の製造方法の要部工程を表す素子断面図である。

【図2】本発明の他の実施の形態に係る半導体装置の製造方法の要部工程を表す素子断面図である。

【図3】従来の半導体装置の製造方法の要部工程を表す素子断面図である。

【図4】図3の要部断面の拡大図である。

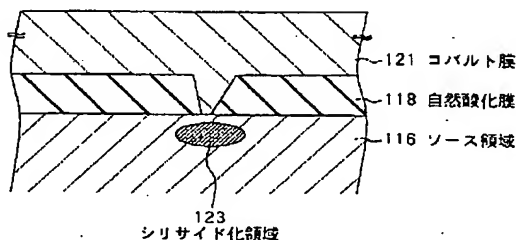
【図5】従来法と本発明による方法との比較を表す図である。

【図6】従来法と本発明による方法との比較を表す図である。

【符号の説明】

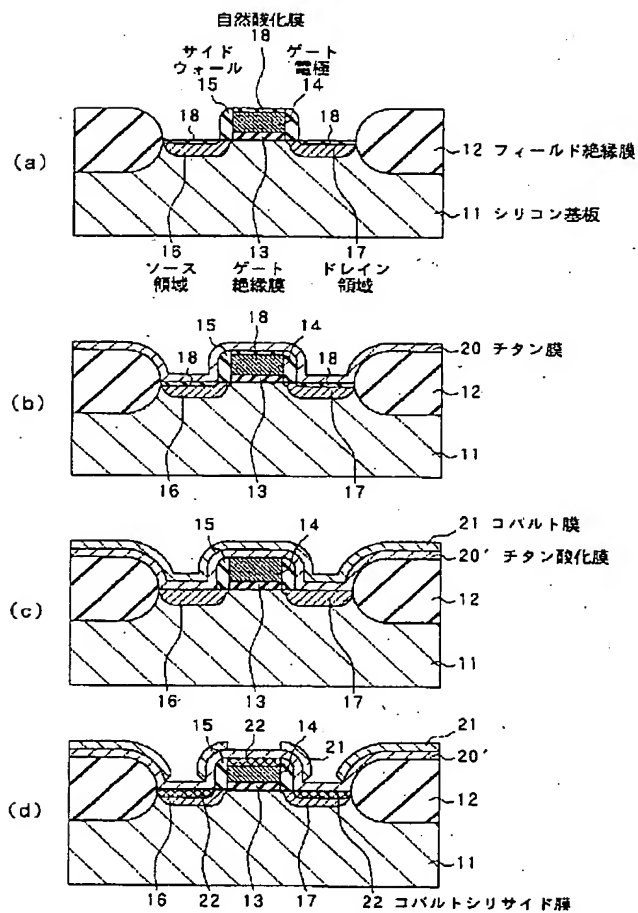
11…シリコン基板、12…フィールド絶縁膜、13…ゲート絶縁膜、14…ゲート電極、16…ソース領域、17…ドレイン領域、18、18'…自然酸化膜、20…チタン膜（第1の金属膜）、20'…チタン酸化膜、21…コバルト膜（第2の金属膜）、22…コバルトシリサイド膜、24…チタン窒化膜（保護膜）

【図4】

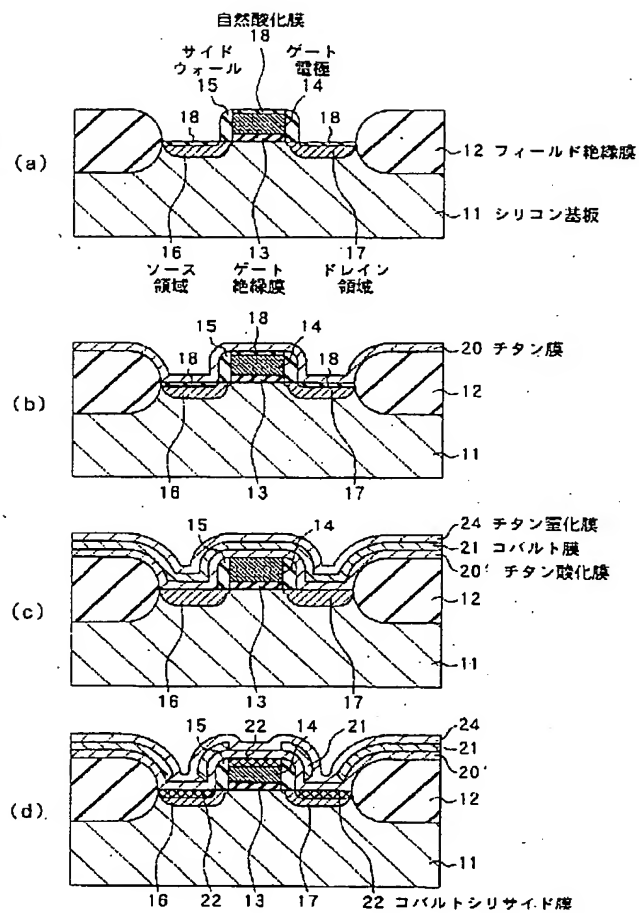


(7)

【図1】



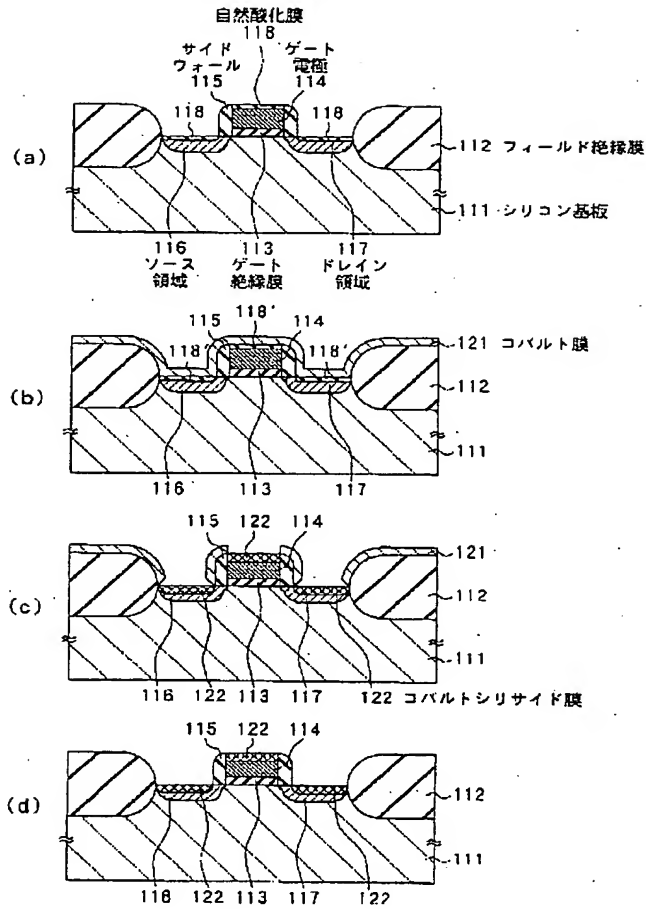
【図2】





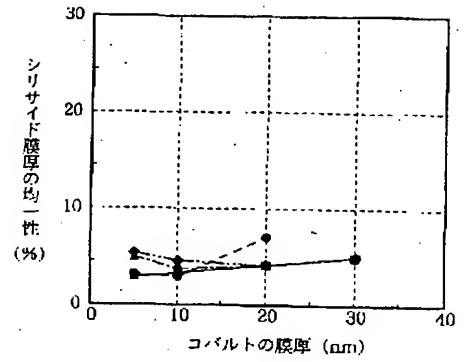
(8)

【図3】

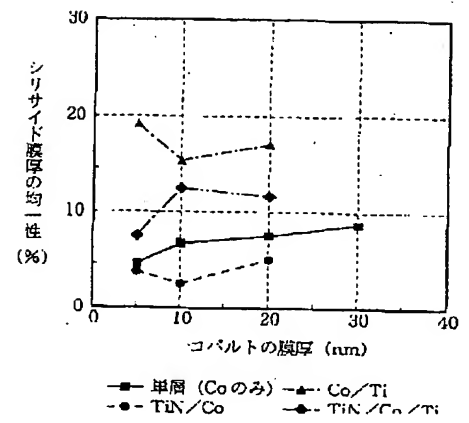


【図5】

(a)  
150℃  
スパッタ  
シンター前



(b)  
450℃  
スパッタ  
シンター前



—■— 単層 (Coのみ) —▲— Co/Ti  
—●— TiN/Co —◆— TiN/Co/Ti

(9)

【図6】

